

# Inhaltsverzeichnis

<b>Inhaltsverzeichnis</b>	<b>3</b>
<b>1 Einführung</b>	<b>9</b>
1.1 Die Ursprünge der Computertechnik . . . . .	10
1.2 Der erste Mikroprozessor . . . . .	15
1.3 Schaltungstechniken . . . . .	15
1.3.1 Transistor-to-Transistor-Logik . . . . .	15
1.3.2 Complementary Metal Oxide Semiconductor . . . . .	16
1.4 Rechnergenerationen . . . . .	17
1.5 Rechnerarchitekturen . . . . .	18
1.5.1 von-Neumann-Architektur . . . . .	18
1.5.2 Harvard-Architektur . . . . .	19
1.5.3 Der Taktzyklus . . . . .	19
1.6 Instruktionssets . . . . .	20
1.6.1 Complex Instruction Set . . . . .	20
1.6.2 Reduced Instruction Set . . . . .	21
1.7 Grundstruktur eines Rechners . . . . .	22
1.8 Das Moore'sche Gesetz . . . . .	23
1.9 Rechnerarchitektur - Definition . . . . .	23
1.10 Herkunft Computer . . . . .	25
1.11 Präfixe . . . . .	25
1.12 Bits, Bytes und Nibbles . . . . .	26
<b>2 Zahlen und Codes</b>	<b>27</b>
2.1 Zahlensysteme . . . . .	28
2.1.1 Dualsystem . . . . .	28
2.1.2 Oktalsystem . . . . .	29
2.1.3 Hexadezimalsystem . . . . .	29
2.1.4 Zahlensystemnotation . . . . .	30

2.2	Zahlen und Code . . . . .	30
2.3	Konvertieren zwischen Zahlensystemen . . . . .	31
2.4	Ganze Zahlen . . . . .	32
2.5	Elementar-Arithmetik mit Binärzahlen . . . . .	36
2.5.1	Binäre Division . . . . .	37
2.6	Fixkommazahlen . . . . .	38
2.7	Gleitkommazahlen . . . . .	40
2.7.1	IEEE 754 . . . . .	42
2.7.2	Beispielhaftes Gleitkommaformat . . . . .	49
2.8	Tetraden-Codes . . . . .	50
2.8.1	BCD Code . . . . .	50
2.9	Gray-Code . . . . .	53
2.9.1	Der erweiterte Gray-Code . . . . .	53
2.9.2	Motivation . . . . .	54
2.9.3	Gray-Code erzeugen . . . . .	54
2.10	Fehlererkennende Codes . . . . .	55
2.11	74210-Code . . . . .	55
2.12	Fehlererkennungs-Charakteristik . . . . .	56
2.13	Byte-Reihenfolge . . . . .	57
2.13.1	Unterschiede der Systeme . . . . .	59
<b>3</b>	<b>Schaltnetze &amp; Schaltwerke</b>	<b>63</b>
3.1	Elementare Logikgatter . . . . .	64
3.2	Schaltnetz oder Schaltwerk . . . . .	65
3.2.1	Takt . . . . .	65
3.3	Multiplexer . . . . .	66
3.4	Paritätsgenerator . . . . .	66
3.5	Komparator . . . . .	68
3.6	Halbaddierer . . . . .	68
3.7	Volladdierer . . . . .	69
3.7.1	Carry-Ripple-Addierer . . . . .	69
3.7.2	Carry-Look-Ahead-Addierer . . . . .	70
3.8	Subtrahierer . . . . .	70
3.9	Inkrementierer . . . . .	71
3.10	Multiplizierer . . . . .	72
3.10.1	Matrixmultiplizierer . . . . .	73
3.10.2	Multiplikation vorzeichenbehafteter Zahlen . . . . .	75
3.11	Dividierer . . . . .	78
3.11.1	Division mit Wiederherstellung des Rests . . . . .	79
3.11.2	Division mit Bildung eines neuen Rests . . . . .	81
3.11.3	Aufwand der beiden Divisionsarten . . . . .	83

3.11.4	Alternative Divisionsarten . . . . .	84
3.11.5	Division vorzeichenbehafteter Zahlen . . . . .	84
3.12	Verschiebearten . . . . .	85
3.13	Barrel-Shifter . . . . .	86
3.14	Abhängigkeitsnotation . . . . .	87
3.15	Taktphasengesteuerte Speicherelemente . . . . .	88
3.15.1	Asynchrones RS-Latch . . . . .	88
3.15.2	Synchrones RS-Latch . . . . .	89
3.15.3	Bevorrechtigte Eingänge . . . . .	90
3.15.4	D-Latch . . . . .	91
3.16	Taktflankengesteuerte Speicherelemente . . . . .	91
3.16.1	Synchrones RS-Flipflop . . . . .	92
3.16.2	D-Flipflop . . . . .	92
3.16.3	T-Flipflop . . . . .	93
3.16.4	JK-Flipflop . . . . .	93
3.17	Arithmetisch Logische Einheit . . . . .	94
3.18	Register . . . . .	95
3.18.1	Auffangregister . . . . .	95
3.18.2	Schieberegister . . . . .	95
3.19	Akkumulator . . . . .	96
<b>4</b>	<b>Aufbau einer simplen CPU</b>	<b>99</b>
4.1	Typische Bestandteile einer CPU . . . . .	100
4.2	Instruktionsformat . . . . .	101
4.3	Befehlszyklus . . . . .	101
4.4	Befehlssatz . . . . .	102
4.5	Instruktionsdekoder . . . . .	103
4.6	Steuerwerk . . . . .	103
4.7	Datenregister und Instruktionsregister . . . . .	104
4.8	Statusregister . . . . .	105
4.9	Instruktionszähler . . . . .	106
4.10	Auslegung der Komponenten . . . . .	106
4.11	Busse . . . . .	108
<b>5</b>	<b>Speichersysteme</b>	<b>111</b>
5.1	Adress-Multiplexing . . . . .	112
5.2	Read-only Memory . . . . .	113
5.2.1	Masken ROM . . . . .	113
5.2.2	Programmierbares ROM . . . . .	114
5.2.3	Erasable Programmable ROM . . . . .	114
5.2.4	Electrically Erasable Programmable ROM . . . . .	115

5.3	Random Access Memory . . . . .	115
5.3.1	Statisches RAM . . . . .	115
5.3.2	Dynamic Random Access Memory . . . . .	116
5.3.3	Kennzeichnung . . . . .	119
5.3.4	Bandbreite vs. Burst-Länge . . . . .	122
5.3.5	Verschachtelter Speicher . . . . .	124
5.3.6	Zugriffsmodi . . . . .	125
5.4	Datensicherung . . . . .	126
5.4.1	Hamming-Code 7,4 . . . . .	126
<b>6</b>	<b>Speichermedien</b>	<b>135</b>
6.1	Magnetische Festplatte . . . . .	136
6.1.1	Physikalischer Aufbau . . . . .	136
6.1.2	Rotationen Pro Minute . . . . .	137
6.1.3	Scheduling . . . . .	138
6.2	Solid State Disk . . . . .	142
6.2.1	Ausführungen . . . . .	144
6.2.2	Wear Leveling . . . . .	145
6.2.3	Garbage Collection . . . . .	148
6.2.4	Write Amplification . . . . .	149
6.2.5	Speicherzelltypen . . . . .	150
6.3	Compact Disc Read-Only Memory . . . . .	151
6.3.1	Aufbau . . . . .	151
6.3.2	Eighth-to-Fourteen-Modulation . . . . .	152
6.3.3	Formate . . . . .	154
<b>7</b>	<b>Schnittstellen</b>	<b>155</b>
7.1	Leitungscodes . . . . .	156
7.1.1	Eigenschaften von Leitungscodes . . . . .	156
7.1.2	Non-Return-to-Zero-Codierung . . . . .	157
7.1.3	Non-Return-to-Zero-Inverted-Codierung . . . . .	158
7.1.4	Return-to-Zero-Codierung . . . . .	159
7.1.5	Manchester Code . . . . .	160
7.2	Computer-Busse . . . . .	161
7.2.1	Zentrale Bus Arbitrierung . . . . .	162
7.2.2	Daisy-Chain Bus Arbitrierung . . . . .	163
7.3	RS-232 . . . . .	163
7.3.1	Signale und ihre Funktion . . . . .	164
7.4	Universal Serial Bus . . . . .	164
7.4.1	Universal Serial Bus Adressierung . . . . .	166

<b>8</b>	<b>Die Assembler-Ebene</b>	<b>169</b>
8.1	Der Weg zu einem Programm . . . . .	170
8.1.1	Das Binärprogrammierproblem . . . . .	171
8.1.2	Hexadezimaldarstellung . . . . .	171
8.1.3	Mnemonics . . . . .	172
8.1.4	Struktur eines Assembler-Befehls . . . . .	172
8.1.5	Hochsprachen . . . . .	173
8.2	Adressmaschinenarten . . . . .	174
8.2.1	0-Adressmaschine . . . . .	174
8.2.2	1-Adressmaschine . . . . .	175
8.2.3	2-Adressmaschine . . . . .	177
8.2.4	3-Adressmaschine . . . . .	178
8.3	Sprünge . . . . .	178
8.4	Unterprogramme . . . . .	179
8.5	Der Stack . . . . .	181
8.6	Advanced RISC Machines . . . . .	182
8.6.1	ARM Thumb . . . . .	183
8.6.2	Procedure Call . . . . .	184
8.7	Adressierungsarten . . . . .	185
8.7.1	Unmittelbare Adressierung . . . . .	185
8.7.2	Absolute Adressierung . . . . .	186
8.7.3	Register Adressierung . . . . .	186
8.8	Multiplikation mit dem Booth-Algorithmus . . . . .	187
8.8.1	Hintergrund . . . . .	188
8.8.2	Der Algorithmus . . . . .	189
8.9	Rechnerklassifikation . . . . .	190
8.10	Pipelining . . . . .	191
8.10.1	Konflikte . . . . .	192
8.10.2	Verarbeitungspause . . . . .	194
<b>9</b>	<b>Speicherorganisation</b>	<b>197</b>
9.1	Speicherhierarchie . . . . .	198
9.2	Speicherverwaltung . . . . .	198
9.3	Virtueller Speicher . . . . .	199
9.4	Überlagerungen . . . . .	200
9.5	Swapping . . . . .	201
9.6	Effektivität von virtuellem Speicher . . . . .	201
9.7	Seitentabelle . . . . .	203
9.8	Seitenersetzung . . . . .	204
9.9	Segmentierung . . . . .	207
9.10	Schutzmechanismen durch virtuellen Speicher . . . . .	208

9.11 Speicherverwaltungseinheit . . . . .	209
<b>10 Interrupts, Polling und Traps</b>	<b>211</b>
10.1 Unterbrechungen . . . . .	212
10.2 Polling . . . . .	212
10.3 Interrupts . . . . .	213
10.4 Ausnahmen . . . . .	214
10.5 Interruptvektortabelle . . . . .	215
10.5.1 Interrupt-Prioritäten . . . . .	216
10.5.2 Interrupt-Ablauf . . . . .	217
10.5.3 Programmierbarer Interrupt Controller . . . . .	218
10.6 Interruptarten . . . . .	219
10.6.1 Traps . . . . .	219
10.6.2 Software-Interrupts . . . . .	219
<b>11 Leistung und Geschwindigkeit</b>	<b>221</b>
11.1 Leistungsbewertung . . . . .	222
11.1.1 Taktfrequenz . . . . .	222
11.1.2 Million Instructions per Second . . . . .	222
11.1.3 Floating Point Operations per Second . . . . .	223
11.1.4 Cycles per Instruction . . . . .	223
11.1.5 Leistungsaufnahme . . . . .	223
11.1.6 Latenzzeit . . . . .	224
11.2 Amdahlsches Gesetz . . . . .	224
<b>Abkürzungsverzeichnis</b>	<b>227</b>
<b>Literaturverzeichnis</b>	<b>229</b>
<b>Namensverzeichnis</b>	<b>235</b>
<b>Index</b>	<b>237</b>